

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
)
BYEUNG-LEUL LEE et al.) Group Art Unit: Unassigned
)
Application No.: New Application) Examiner: Unassigned
)
Filed: Herewith)
)
For: METHOD OF REDUCING NOTCHING)
DURING REACTIVE ION ETCHING)



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Republic of Korea Patent Application No. 2001-12629

Filed: Republic of Korea

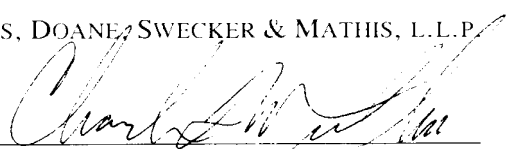
In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: December 26, 2001

By:


Charles F. Wieland III
Registration No. 33,096

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

11002 U.S. PTO
10/025798
12/26/01

KOREAN INDUSTRIAL PROPERTY OFFICE

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

Application Number: Patent Application No. 2001-12629

Date of Application: 12 March 2001

Applicant(s): Samsung Electronics Co., Ltd.

19 July 2001

COMMISSIONER

[Document Name] Patent Application

[Application Type] Patent

[Receiver] Commissioner

[Reference No.] 0003

[Filing Date] 2001.03.12

[IPC] B44C

[Title] Method to reduce notching during reactive ion etching

[Applicant]

[Name] Samsung Electronics Co., Ltd.
[Applicant code] 1-1998-104271-3

[Attorney]

[Name] Young-pil Lee
[Attorney's code] 9-1998-000334-6
[General Power of Attorney Registration No.] 1999-009556-9

[Attorney]

[Name] Hae-young Lee
[Attorney's code] 9-1999-000227-4
[General Power of Attorney Registration No.] 2000-002816-9

[Inventor]

[Name] LEE, Byeung Leul
[I.D. No.] 661114-1850531
[Zip Code] 449-910
[Address] 119-503 Byucksan Apt., Mabuk-ri, Guseong-myeon
Yongin-city, Kyungki-do
[Nationality] Republic of Korea

[Inventor]

[Name] CHUNG, Taek Ryong
[I.D. No.] 630201-1480210
[Zip Code] 463-480

1020010012629

2001/7/2

[Address] 204-1404 Cheongsol Maeul Yucheon Fine Apt., 180
Geumgok-dong, Bundang-gu, Seongnam-city, Kyungki-do
[Nationality] Republic of Korea

[Inventor]

[Name] CHOI, Joon Hyock
[I.D. No.] 700421-1182439
[Zip Code] 449-900
[Address] San 24 Nongseo-ri, Kiheung-eub
Yongin-city, Kyungki-do
[Nationality] Republic of Korea

[Inventor]

[Name] CHOI, Won Youl
[I.D. No.] 700928-1450716
[Zip Code] 442-470
[Address] 327-1901 Samik Apt., Youngtong-dong, Paldal-gu
Suwon-city, Kyungki-do
[Nationality] Republic of Korea

[Inventor]

[Name] JUNG, Kyu Dong
[I.D. No.] 721004-1257818
[Zip Code] 152-093
[Address] 297-17 Gaebong 3-dong, Guro-gu, Seoul
[Nationality] Republic of Korea

[Inventor]

[Name] LEE, Sang Woo
[I.D. No.] 690420-1057021
[Zip Code] 156-092
[Address] 112-1204 Kukdong Apt., Sadang 2-dong
Dongjak-gu, Seoul
[Nationality] Republic of Korea

[Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of
the Patent Law and request and examination according to Art. 60
of the Patent Law.

Attorney
Attorney

Young-pil Lee
Hae-young Lee

1020010012629

2001/7/2

[Fee]

[Basic page]	13 Sheet(s)	29,000 won
[Additional page]	0 Sheet(s)	0 won
[Priority claiming fee]	0 Case(s)	0 won
[Examination fee]	3 Claim(s)	205,000 won
[Total]	234,000 won	

[Enclosures]

1. Abstract and Specification (and Drawings)_1 cop

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 12629 호
Application Number PATENT-2001-0012629

출원년월일 : 2001년 03월 12일
Date of Application MAR 12, 2001

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2001 07 19
 년 월 일

특 허 청 장

COMMISSIONER

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2001.03.12
【국제특허분류】	B44C
【발명의 명칭】	R I E 식각시 발생하는 노칭 저감방법
【발명의 영문명칭】	Method to reduce notching during reactive ion etching
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	이병렬
【성명의 영문표기】	LEE,Byeung Leul
【주민등록번호】	661114-1850531
【우편번호】	449-910
【주소】	경기도 용인시 구성면 마북리 벽산아파트 119-503
【국적】	KR
【발명자】	
【성명의 국문표기】	정택룡
【성명의 영문표기】	CHUNG,Taek Ryong
【주민등록번호】	630201-1480210
【우편번호】	463-480
【주소】	경기도 성남시 분당구 금곡동 180 청솔마을 유천화인 아파트 204-140 4
【국적】	KR

【발명자】

【성명의 국문표기】 최준혁
 【성명의 영문표기】 CHOI, Joon Hyock
 【주민등록번호】 700421-1182439
 【우편번호】 449-900
 【주소】 경기도 용인시 기흥읍 농서리 산 24번지
 【국적】 KR

【발명자】

【성명의 국문표기】 최원열
 【성명의 영문표기】 CHOI, Won Youl
 【주민등록번호】 700928-1450716
 【우편번호】 442-470
 【주소】 경기도 수원시 팔달구 영통동 삼익아파트 327-1901
 【국적】 KR

【발명자】

【성명의 국문표기】 정규동
 【성명의 영문표기】 JUNG, Kyu Dong
 【주민등록번호】 721004-1257818
 【우편번호】 152-093
 【주소】 서울특별시 구로구 개봉3동 297-17
 【국적】 KR

【발명자】

【성명의 국문표기】 이상우
 【성명의 영문표기】 LEE, Sang Woo
 【주민등록번호】 690420-1057021
 【우편번호】 156-092
 【주소】 서울특별시 동작구 사당2동 극동아파트 112-1204
 【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 이해영 (인)

【수수료】

【기본출원료】	13	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	3	항	205,000	원
【합계】	234,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

본 발명은 RIE 식각시 발생하는 노칭 저감방법에 관하여 개시한다. RIE 식각시 발생하는 노칭 저감방법은 실리콘층-절연층-실리콘 기판으로 순차적으로 적층된 구조의 실리콘층을 관통하는 RIE 식각방법에 있어서, (가) 실리콘 기판상에 절연층을 형성하는 단계; (나) 상기 절연층을 관통하는 트렌치를 형성하는 절연층 패터닝 단계; (다) 상기 패터닝된 절연층 상에 실리콘층을 형성하는 단계; 및 (라) 상기 실리콘층을 관통하는 식각 영역을 형성하도록 패터닝하는 단계;를 구비한다. 이에 따르면, RIE 방법으로 관통되는 실리콘층을 가지는 구조를 제작할 경우 추가적인 금속층의 증착을 하지 않고도 노칭을 현저히 줄일 수 있다.

【대표도】

도 1

【명세서】

【발명의 명칭】

R I E 식각시 발생하는 노칭 저감방법{Method to reduce notching during reactive ion etching}

【도면의 간단한 설명】

도 1은 종래의 RIE 방법에 의한 노칭이 형성되는 것을 보여주는 도면,

도 2는 본 발명에 따라 형성되는 실리콘층-절연층-실리콘 기판 구조를 보여주는 사시도,

도 3은 도 2의 3-3' 선을 따라 절개한 부분의 단면도,

도 4a 내지 도 4e는 본 발명의 단계를 보여주는 개략 단면도,

도 5는 종래의 트렌치가 없는 절연층상의 실리콘층의 관통 RIE 식각후의 실리콘층 하부의 SEM 사진,

도 6은 3 μ m 의 개구부 길이의 트렌치가 형성된 절연층상의 실리콘층의 관통 RIE 식각후의 실리콘층 하부의 SEM 사진,

도 7은 6 μ m 의 개구부 길이의 트렌치가 형성된 절연층상의 실리콘층의 관통 RIE 식각후의 실리콘층 하부의 SEM 사진.

* 도면의 주요부분에 대한 부호의 설명 *

10,100: 실리콘 기판

20,200: 절연층

210: 트렌치

30,300: 실리콘층

32: 노칭

310: 식각 영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 RIE 식각시 발생하는 노칭 저감방법에 관한 것으로서, 더욱 상세하게는 실리콘층-절연층-실리콘 기판 구조의 실리콘층을 관통하는 RIE 식각시 실리콘층의 하부에 발생하는 노칭을 줄이는 방법에 관한 것이다.

<13> 일반적으로 실리콘 구조물을 패터닝 하기 위하여 reactive ion etching(RIE) 방법이 이용되어 왔다. 이러한 식각 방법으로 실리콘층-절연층-실리콘 기판 구조에서 실리콘층을 관통하는 식각을 하는 경우, microloading effect 에 의해 도 1에서 보듯이, 식각 속도가 느린 개구부(34)가 좁은 곳의 관통 식각이 진행되는 동안 식각이 빠르게 진행되는 개구부(36)가 큰 곳에서는 관통 식각된 식각 영역에 과식각(overetching)이 일어난다. 이 때 실리콘 기판(10) 상의 절연층(20)을 공격하는 식각 이온에 의해 절연층(20)의 표면이 대전되어 전위가 형성되며, 이 것은 식각 이온을 반사시켜서 실리콘층(30) 하부에 불필요한 측면 식각(lateral etching)을 일으킨다. 이 측면 식각 즉, 노칭(notching: 32)은 구조물의 두께를 감소시키고 표면을 불균일하게 만들어 원하는 기계적, 전기적 특성을 얻을 수 없게 된다.

<14> 이러한 노칭 현상을 개선하기 위해 상기 절연층 상에 금속층을 형성하여 상기 식각 이온을 방전시키는 방법도 있으나, 이는 추가적으로 금속층 증착과 양극 접합(anodic bonding)이 요구되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 따라서 본 발명은 상기의 문제점을 개선하고자 창출된 것으로서, 본 발명의 목적은 실리콘층을 관통하는 RIE 식각시 실리콘층 하부에 발생하는 노칭현상을 현저하게 줄이는 노칭 저감방법을 제공하는 것이다.

【발명의 구성 및 작용】

<16> 상기의 목적을 달성하기 위하여 본 발명의 RIE 식각시 발생하는 노칭 저감방법은 실리콘층-절연층-실리콘 기판으로 순차적으로 적층된 구조의 실리콘층을 관통하는 RIE 식각방법에 있어서, (가) 실리콘 기판상에 절연층을 형성하는 단계; (나) 상기 절연층을 관통하는 트렌치를 형성하는 절연층 패터닝 단계; (다) 상기 패터닝된 절연층 상에 실리콘층을 형성하는 단계, 및 (라) 상기 실리콘층을 관통하는 식각 영역을 형성하도록 패터닝하는 단계:를 구비한다.

<17> 상기 (나) 단계의 트렌치 영역이 상기 (라) 단계의 식각 영역 안에 형성되는 것이 바람직하며, 상기 (라) 단계의 실리콘층 패터닝 단계는 상기 패터닝된 절연층에 채워진 상기 실리콘을 제거하는 단계를 포함하는 것이 바람직하다.

<18> 이하 첨부도면을 참조하여 본 발명의 RIE 식각시 발생하는 노칭 저감방법에 따른 실시예를 상세히 설명한다.

<19> 도 2는 본 발명에 따라 형성되는 실리콘층-절연층-실리콘 기판 구조를 보여주는 사시도이고, 도 3은 도 2의 3-3' 선을 따라 절개한 부분의 단면도이다.

<20> 도면을 참조하면, 실리콘 기판(100) 상에 트렌치(210)가 형성된 절연층(200)이 형성되어 있으며, 절연층(200) 상에는 실리콘층(300)이 적층되어 있다. 상기 절연층(200)

의 트렌치(210) 영역은 그에 상응하는 실리콘층(300)의 식각 영역(310) 내에 위치함을 알 수 있다.

<21> 도 4a 내지 도 4e는 본 발명의 RIE 식각시 발생하는 노칭 저감방법을 단계별로 설명하는 개략 단면도이다.

<22> 먼저 도 4a에 도시된 바와 같이, 실리콘 기판(100)상에 소정 두께의 절연층(200)을 형성한다.

<23> 다음 단계로 패터닝을 통해 상기 절연층(200)을 관통하는 트렌치(210)를 도 4b에 도시된 바와 같이 소정 패턴으로 형성한다. 상기 트렌치들(210)은 모두 관통되어 트렌치 하부에 있는 실리콘 기판(100)의 표면이 노출되어 있다.

<24> 다음에, 도 4c에 도시된 바와 같이, 상기 패터닝된 절연층(200) 상에 실리콘층(300)을 증착시킨다. 이 때 절연층의 트렌치(210)도 모두 실리콘층(300)으로 덮힌다.

<25> 다음으로 도 4d에 도시된 바와 같이, 상기 실리콘층(300)을 RIE 방법으로 식각한다. 이 때 개구면이 넓은 지역(306)의 식각속도가 개구면이 좁은 지역(304)보다 빨리 진행되므로, 개구면이 넓은 지역(306)의 실리콘층(300)이 관통된 데 비하여, 개구면이 좁은 지역(304)은 바닥까지 식각이 진행되지 않았다.

<26> 따라서 개구면이 좁은 지역도 관통하기 위해서는 도 4e에 도시된 같이, 식각이 계속되면 개구면이 넓은 지역(306)의 실리콘층(300)의 식각 영역의 하부의 절연층(200)에 형성된 실리콘층(300)이 식각되어 실리콘 기판(100)의 표면이 노출된다. 따라서 개구부가 넓은 지역(306)의 과식각으로 인한 식각 이온은 실리콘 기판(100)을 통해 외부로 방전된다. 한편, 실리콘층(300)의 개구면이 넓은 지역(306)과 함께 개구면이 좁은 지역

(304)을 RIE 방법으로 식각하는 경우, 그 하부에 위치하는 절연층(200)에 트렌치(210)를 형성하는 과정을 생략할 수도 있다.

<27> 실험예

<28> 도 5는 종래의 트렌치가 없는 절연층상의 실리콘층을 관통하는 RIE 식각후의 실리콘층을 분리하여 그 하부로부터 바라본 SEM 사진이며, 도 6 및 도 7은 본 발명에 따라 형성된 실리콘층을 그 하부로부터 바라본 SEM 사진이다.

<29> 본 실험예는 2.5 μm 두께의 TEOS 절연층 상에 형성된 52 μm 두께의 실리콘층 구조를 사용하였다. 먼저 절연층에 트렌치를 형성하지 않은 경우와, 각각 3 μm , 6 μm 의 개구부 길이의 트렌치를 형성한 경우에 대해서 그 절연층 상에 실리콘층을 형성한 경우에 있어서, 개구부가 넓은 지역의 과식각을 모사하기 위해 약 8 μm 의 길이의 개구부를 가지도록 실리콘층에 RIE 식각시 약 30% 과식각 하였으며, 그 결과의 SEM 사진은 도 5 내지 도 7과 같았다.

<30> 절연층에 트렌치가 형성되지 않은 도 5에서 보면, 상기 과식각으로 실리콘층의 바닥에 노칭이 심하게 형성된 것을 알 수 있었다. 또한 3 μm 의 트렌치가 형성된 절연층의 경우에도 도 6에서 보듯이, 과식각으로 바닥에 노칭이 심하게 형성되어 있었다.

<31> 그러나, 6 μm 의 트렌치가 형성된 절연층의 경우에는 도 7에서 보듯이, 노칭현상이 현저하게 감소되었음을 알 수 있었다. 따라서 실리콘층의 하부에 생기는 노칭은 실리콘층 하부의 벽에서 발생하기 때문에 그 벽과 가까운 곳에서의 방전이 중요하며, 상기 벽과 트렌치 사이의 간격을 좁힐수록 노칭현상이 감소되는 것으로 보인다.

【발명의 효과】

<32> 이상에서 설명한 바와 같이 본 발명에 따르면, RIE 방법으로 관통되는 실리콘층을 가지는 구조를 제작할 경우에도 노칭을 줄이기 위해 추가적인 금속층의 증착을 하지 않고도 노칭을 현저히 줄이므로 RIE 식각이 필요한 많은 소자 제작에 이용할 수 있다.

<33> 본 발명은 도면을 참조하여 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 한해서 정해져야 할 것이다.

【특허 청구범위】**【청구항 1】**

실리콘층-절연층-실리콘 기판으로 순차적으로 적층된 구조의 실리콘층을 관통하는 RIE 식각방법에 있어서,

(가) 실리콘 기판상에 절연층을 형성하는 단계;

(나) 상기 절연층을 관통하는 트렌치를 형성하는 절연층 패터닝 단계;

(다) 상기 패터닝된 절연층 상에 실리콘층을 형성하는 단계; 및

(라) 상기 실리콘층을 관통하는 식각 영역을 형성하도록 패터닝하는 단계;를 구비하는 것을 특징으로 하는 RIE 식각방법.

【청구항 2】

제 1 항에 있어서,

상기 (나) 단계의 트렌치 영역이 상기 (라) 단계의 식각 영역 안에 형성되는 것을 특징으로 하는 RIE 식각방법.

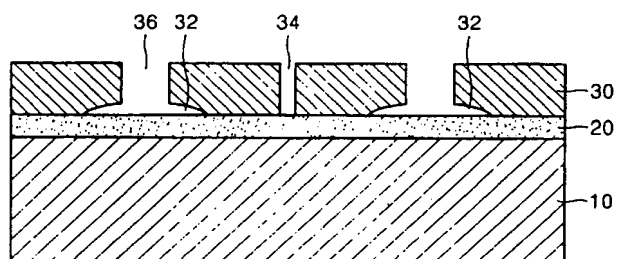
【청구항 3】

제 1 항에 있어서,

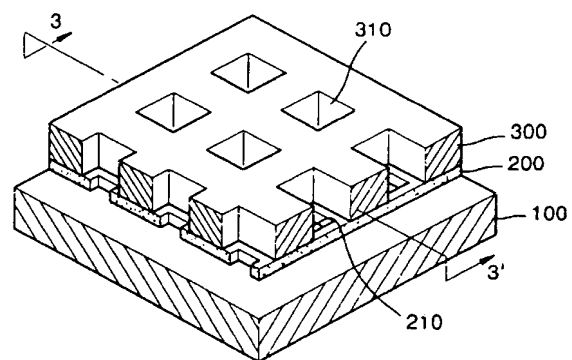
상기 (라) 단계의 실리콘층 패터닝 단계는 상기 패터닝된 절연층에 채워진 상기 실리콘을 제거하는 단계를 포함하는 것을 특징으로 하는 RIE 식각방법.

【도면】

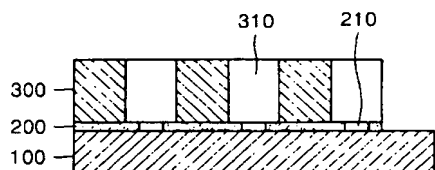
【도 1】



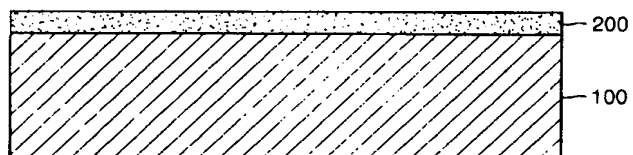
【도 2】



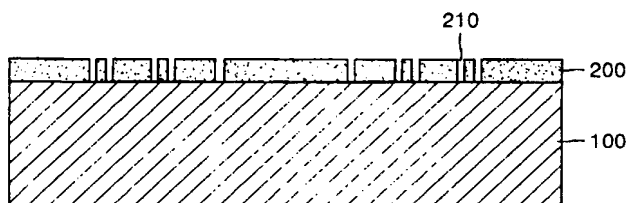
【도 3】



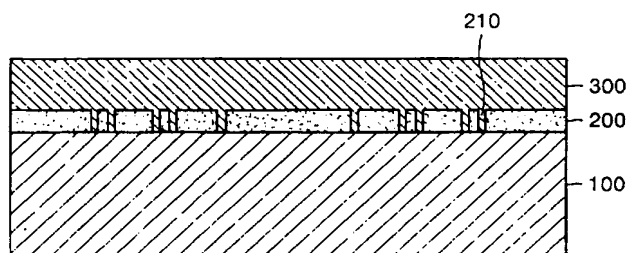
【도 4a】



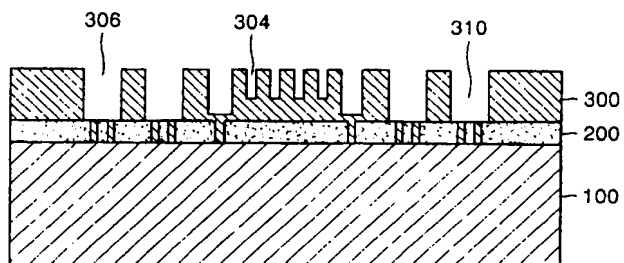
【도 4b】



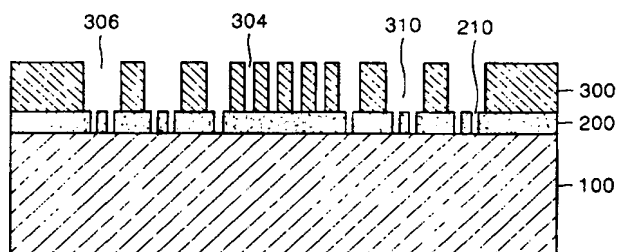
【도 4c】



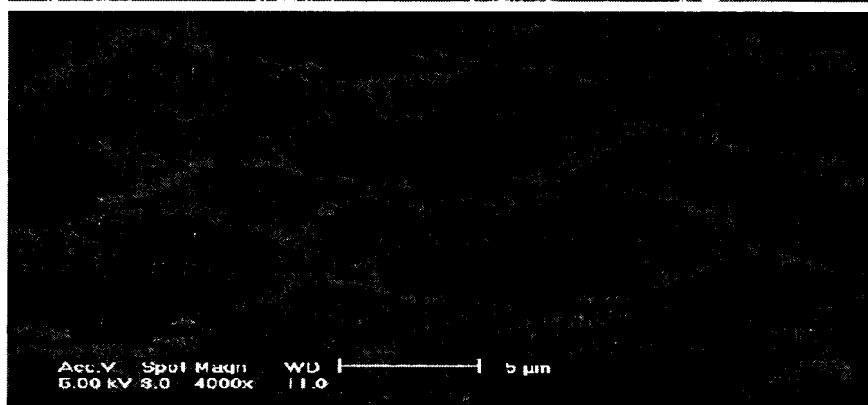
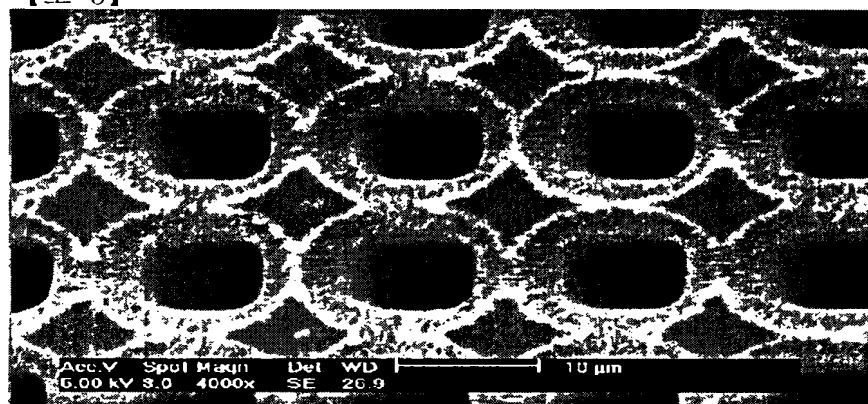
【도 4d】



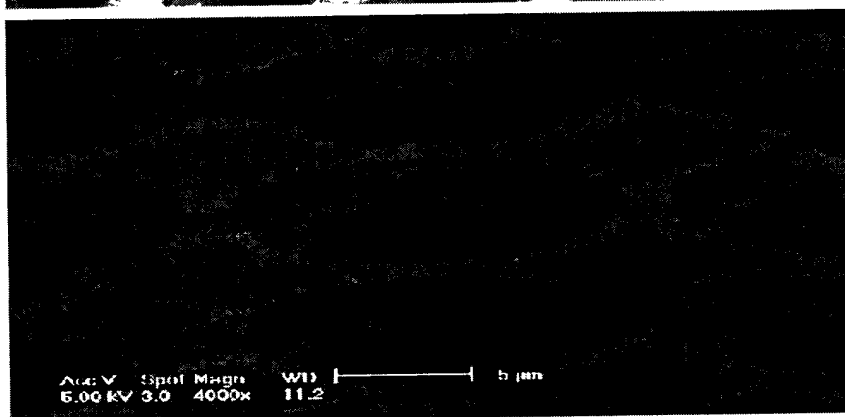
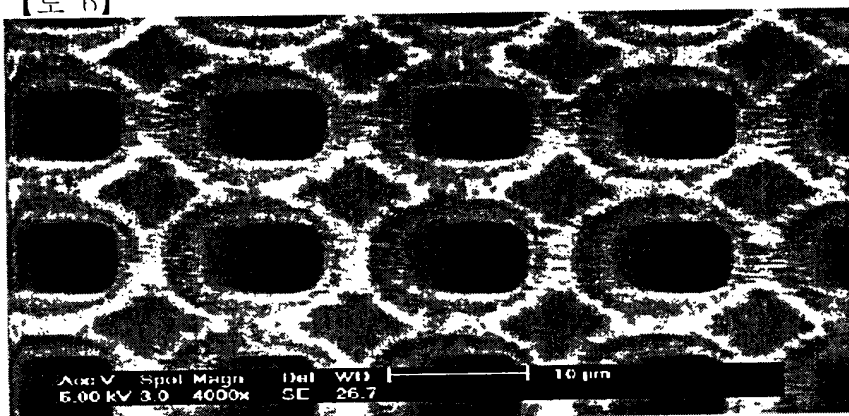
【도 4e】



【도 5】



【도 6】



【도 7】

